

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-272948

(P2001-272948A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	データ* (参考)
G 0 9 G 3/28		C 0 9 G 3/20	6 1 1 C 5 C 0 5 8
	3/20		6 1 1 A 5 C 0 8 0
			6 2 3 V
	6 2 3	H 0 4 N 5/66	1 0 1 B
H 0 4 N 5/66	1 0 1	C 0 9 G 3/28	H
審査請求 有 請求項の数12 O L (全 12 頁)			

(21) 出願番号 特願2000-82872(P2000-82872)

(22) 出願日 平成12年3月23日 (2000.3.23)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 修士

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088378

弁理士 金田 暢之 (外2名)

Fターム(参考) 5C058 AA11 BA04 BA30 BA35 BB10  
BB21

5C080 AA05 BB06 DD12 DD26 EE29

FF12 GG12 HH02 HH04 JJ02

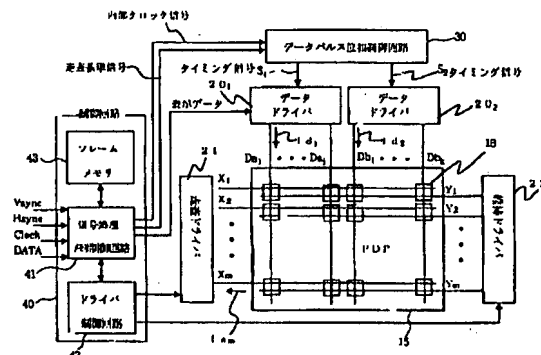
JJ03 JJ04 JJ06

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法およびプラズマディスプレイ装置

(57) 【要約】

【課題】 各電極電流のピーク値を下げてノイズを低減させ、かつ、消費電力を低減させたプラズマディスプレイ装置を提供する。

【解決手段】 プラズマディスプレイ15のデータ電極が複数のデータ電極群に分割されている。データパルス位相制御回路30は制御回路40からの内部クロック信号と走査基準信号に基づき、複数のパルス列からなり、最初のパルスの開始タイミングを遅らせ、最後のパルスの終了タイミングを早めたパルス列を、データ電極群毎に異なる位相で出力する。データ電極群ごとに設けられたデータドライバ20<sub>1</sub>、20<sub>2</sub>は、データパルス位相制御回路30が出力したパルス列に同期して表示データを前記データ電極に出力する。



## 【特許請求の範囲】

【請求項1】 複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極に所望のデータパルスが印加されることにより、前記走査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイパネルの駆動方法であって、

前記データ電極を複数のデータ電極群に分割し、連なる複数のデータパルスからなり、最初のデータパルスの開始タイミングを予め決められた時間だけ遅らせ、最後のデータパルスの終了タイミングを予め決められた時間だけ早めたデータパルス列を、前記データ電極群毎に異なる位相で前記データ電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記最初のデータパルスの開始タイミングを遅らせる時間は、発光電流がピークとなるタイミングと、データ電極電流がピークとなるタイミングとがずれるように予め決められた請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記データ電極群の数と、前記データパルス列を構成するデータパルスの数が同数であることを特徴とする請求項1または2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記最初のデータパルスの開始タイミングを遅らせる時間が全ての前記データ電極で同一であり、前記最後のデータパルスの終了タイミングを早める時間が全ての前記データ電極で同一であることを特徴とする請求項1から3のいずれか1項に記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記遅らせる時間と前記早める時間とが同一であることを特徴とする請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極がK個のデータ電極群に分割され、前記データ電極に所望のデータパルスが印加されることにより前記走査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイパネルの駆動方法であって、

所定のパルス幅で前記複数の走査電極に走査信号を順次印加し、前記走査信号の変化点をまたがるようなマスク信号を生成し、

K個のデータパルス毎に1度前記データパルスを前記マスク信号でマスクするとともに、前記データ電極群毎に前記走査信号の1パルス幅づつずれたマスク信号でマスクすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項7】 複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極に所望

のデータパルスが印加されることにより、前記走査電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイ装置において、

前記データ電極は複数のデータ電極群に分割されており、

連なる複数のパルスからなり、最初のパルスの開始タイミングを予め決められた時間だけ遅らせ、最後のパルスの終了タイミングを予め決められた時間だけ早めたパルス列を、データ電極群毎に異なる位相で出力するデータパルス位相制御回路と、

前記データ電極群ごとに設けられ、前記データパルス位相制御回路から出力されるパルス列に同期して表示データを前記データ電極に出力するデータドライバとを有するプラズマディスプレイ装置。

【請求項8】 前記最初のパルスの開始タイミングを遅らせる時間は、発光電流がピークとなるタイミングと、データ電極電流がピークとなるタイミングとがずれるように予め決められた請求項7記載のプラズマディスプレイ装置。

【請求項9】 前記データ電極群の数と、前記パルス列を構成するパルスの数が同数である、請求項7または8記載のプラズマディスプレイ装置。

【請求項10】 前記最初のパルスの開始タイミングを遅らせる時間が全ての前記データ電極で同一であり、前記最後のパルスの終了タイミングを早める時間が全ての前記データ電極で同一である、請求項7から9のいずれか1項に記載のプラズマディスプレイ装置。

【請求項11】 前記遅らせる時間と前記早める時間とが同一であることを特徴とする請求項10記載のプラズマディスプレイ装置。

【請求項12】 複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極がK個のデータ電極群に分割され、前記データ電極に所望のデータパルスが印加されることにより前記走査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイ装置において、

所定のパルス幅で前記複数の走査電極に走査信号を順次印加する走査ドライバと、

K個のデータパルス毎に1度前記データパルスをマスクする、前記走査信号の変化点をまたがるようなマスク信号を、前記データ電極群毎に前記走査信号の1パルス幅づつずらして生成し出力するデータパルス位相制御回路と、

前記データ電極群毎に設けられ、前記マスク信号で前記データパルスをマスクするデータドライバとを有するプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディス

レイパネルの駆動方法およびプラズマディスプレイ装置に関し、特に、交流放電メモリ動作型プラズマディスプレイパネルの駆動方法および装置に関する。

#### 【0002】

【従来の技術】一般に、プラズマディスプレイパネル（以下、PDPと略称する）は、薄型構造でちらつきがなく表示コントラスト比が大きいこと、また、比較的に大画面とすることが可能であり、応答速度が速く、自発光型で蛍光体の利用により多色発光も可能であることなど、数多くの特徴を有している。このために、近年、大型の公衆表示装置の分野およびカラーテレビの分野等において利用が拡大しつつある。

【0003】このPDPには、その動作方式により、電極が誘電体で被覆されて間接的に交流放電の状態で作動させる交流放電型（AC型）のものと、電極が放電空間に露出して直流放電の状態で作動させる直流放電型（DC型）のものとがある。更に、交流放電型には、駆動方式として放電セルのメモリを利用するメモリ動作型と、それを利用しないリフレッシュ動作型とがある。なお、PDPの輝度は、メモリ動作型、リフレッシュ動作型を問わず、放電回数即ちパルス電圧の繰り返し数にほぼ比例する。リフレッシュ型の場合は、表示容量が大きくなると輝度が低下するため、主として小表示容量のPDPに使用されている。

【0004】図9は、交流放電メモリ動作型PDPにおける表示セルの構成を例示する斜視断面図である。このPDPは、ガラスより成る前面および背面の二つの絶縁基板1及び2と、絶縁基板2上に形成される透明な走査電極3及び透明な維持電極4と、電極抵抗値を小さくするため走査電極3及び維持電極4に重なるように配置されるバス電極5、6と、絶縁基板1上に、走査電極3及び維持電極4と直交して形成されるデータ電極7と、絶縁基板1と絶縁基板2の間に、ヘリウム、ネオンまたはキセノン等あるいはそれらの混合ガスから成る放電ガスが充填される放電ガス空間8と、放電ガスの放電により発生する紫外線を可視光10に変換する蛍光体11と、走査電極3及び維持電極4を覆う誘電体層12と、この誘電体層12を放電から保護する酸化マグネシウム等から成る保護層13と、データ電極7を覆う誘電体層14と、隣接する表示セルとの間を分離するための隔壁9を備えて構成される。データ電極7の表面は誘電体層14で覆われ、さらに誘電体層14の表面には複数の隔壁9が設けられ、隔壁9と隣接する隔壁9との間の誘電体層14の表面と隔壁9の側面には蛍光体11が塗布されている。

【0005】図10は、図9に示した交流放電メモリ動作型PDPにおける一つの表示セルの垂直断面図である。図10を参照して、選択された表示セルの放電動作について説明する。

【0006】走査電極3とデータ電極7の間に放電しき

い値を越えるパルス電圧を印加して放電を開始させると、このパルス電圧の極性に対応して、放電によって生じた正負の電荷が両側の誘電体層12及び蛍光体11の表面に吸引されて電荷の堆積を生じる。以下、この電荷を壁電荷と呼ぶ。この電荷の堆積に起因して放電ガス空間8の両端（図10の紙面で上下）に生じる等価的な内部電圧、即ち、壁電圧は、上記パルス電圧と逆極性となるために、印加するパルス電圧を一定値に保持しても、壁電荷が増えるにつれて徐々に表示セル内部の実効電圧が低下し、放電を維持することができなくなり遂には停止する。このとき、データ電極7に印加する電圧の極性を反転させれば、壁電荷を消去することができる。しかし、質量の大きいプラスの電荷が蛍光体11に衝突すると、蛍光体の寿命を短くするので、一般にデータ電極7には走査電極4に比べてプラスの電圧を印加して、質量の小さいマイナスの電荷（電子）が蛍光体11の表面に蓄積するようにしている。このような状態で放電を維持するため、走査電極3と平行に維持電極4を設け、走査電極3と維持電極4との間で維持放電を継続させるようにしている。したがって、発光させるべく選択された表示セルのデータ電極7と走査電極4との間で放電を開始させた後に、隣接する走査電極3と維持電極4との間に、壁電圧と同極性のパルス電圧である維持放電パルスを印加すると、実効電圧は維持放電パルスの電圧に壁電圧が重畳された値となり、低い電圧の維持放電パルスでも実効電圧は放電しきい値を越えるので放電させることができる。

【0007】したがって、維持放電パルスを走査電極3と維持電極4との間に交互に印加し続けることによって、放電を維持することが可能となる。この機能が上述のメモリ機能である。また、走査電極3または維持電極4に、壁電圧を中和するような、幅の広い低電圧のパルス、または、幅の狭い維持放電パルス電圧程度のパルスである消去パルスを印加することにより、上記の維持放電を停止させることができる。

【0008】図11は図10に示した表示セルをマトリクス配置して形成したPDPの概略の構成と制御回路、走査ドライバ、維持ドライバ、およびデータドライバを示したブロック図である。PDP15は、 $m \times n$ の表示セル16を配列したドットマトリクス表示用のパネルであり、行電極としては互いに平行に配置された走査電極 $X_1, X_2, \dots, X_m$ および維持電極 $Y_1, Y_2, \dots, Y_n$ を備え、列電極としてはこれら走査電極および維持電極と直交して配列されたデータ電極 $D_1, D_2, \dots, D_n$ を備えている。

【0009】走査ドライバ21は、走査電極駆動波形を生成して走査電極 $X_1, X_2, \dots, X_m$ に印加する。維持ドライバ22は、維持電極駆動波形を生成して維持電極 $Y_1, Y_2, \dots, Y_n$ に印加する。データドライバ50は、データ電極駆動波形を生成してデータ電極 $D$

$1, D_2, \dots, D_n$ に印加する。

【0010】制御回路60は、垂直同期信号 $V_{sync}$ 、水平同期信号 $H_{sync}$ 、クロック信号 $Clock$ 、表示データ信号 $DATA$ をもとに、データドライバ50、走査ドライバ21および維持ドライバ22を制御する信号を生成して出力する。

【0011】表示データ信号 $DATA$ は、各表示セルに表示するデータを示す信号である。垂直同期信号 $V_{sync}$ は、予備放電期間から消去放電期間までの一連の動作が完結するフレームの周期および開始点を示す信号である。また、1フレームが、予備放電期間から維持放電期間までを含む複数のフィールドからなる場合、垂直同期信号 $V_{sync}$ と非同期でフィールドを構成してもよく、垂直同期信号 $V_{sync}$ が1フィールドの周期および開始点を示してもよい。水平同期信号 $H_{sync}$ は、CRTでは水平走査ライン毎の走査開始を指示する信号であるが、PDPでは水平走査ライン毎の表示データ信号 $DATA$ を取り込むタイミングを示す信号として用いられる。クロック信号 $Clock$ は、表示データ信号 $DATA$ を転送するための基準クロックである。

【0012】以下に、上記のように構成されたPDPの駆動方法について説明する。

【0013】図12は、図11に示したPDPの走査ドライバ21、維持ドライバ22、およびデータドライバ20の出力波形を示すタイミングチャートである。

【0014】図12において、維持電極駆動パルス信号 $Wu$ は、維持電極 $Y_1, Y_2, \dots, Y_n$ に共通に印加される電圧信号である。走査電極駆動パルス信号 $Ws_1, Ws_2, \dots, Ws_n$ は、走査電極 $X_1, X_2, \dots, X_n$ にそれぞれ印加される電圧信号である。データ電極駆動パルス信号 $Wd$ は、データ電極 $D_i$  ( $1 \leq i \leq n$ )に印加される電圧信号である。

【0015】PDPの駆動は、予備放電期間、書込放電期間、維持放電期間、および消去放電期間を一周期とする。

【0016】予備放電期間は、書込放電期間において安定した書き込み放電特性を得るために、放電ガス空間内に活性粒子及び壁電荷を生成するための期間であり、PDP15の全表示セルを同時に放電させる予備放電パルス $Pp$ を印加した後に、生成された壁電荷のうち書込放電および維持放電を阻害する電荷を消滅させるための予備放電消去パルス $Ppe$ を各走査電極に一斉に印加する。すなわち、まず、走査電極 $X_1, X_2, \dots, X_n$ に対して予備放電パルス $Pp$ を印加して、全ての表示セルにおいて予備放電を起こさせた後に、維持電極 $Y_1, Y_2, \dots, Y_n$ を維持電圧 $Vs$ レベルに引き上げるとともに、走査電極 $X_1, X_2, \dots, X_n$ にはその電位を緩やかに下げる予備放電消去パルス $Ppe$ を印加して消去放電を発生させ、予備放電パルスにより堆積した壁電荷を消去する。ここで言う消去とは、壁電荷を全て無くす

場合だけでなく、その後の書込放電や維持放電を円滑にさせるために壁電荷量を調整することを含む。

【0017】書込放電期間は、発光すべく選択された表示セルを放電させて壁電荷を生じさせる期間であり、各走査電極 $X_1, X_2, \dots, X_n$ に順次走査パルス $Pw$ を印加するとともに、この走査パルス $Pw$ に同期して、表示を行うべき表示セルのデータ電極 $D_i$  ( $1 \leq i \leq n$ )にデータパルス $Pd$ を選択的に印加して書込放電を発生させ壁電荷を生成する。

【0018】維持放電期間は、書込放電期間に壁電荷を発生させた表示セルの放電を維持する期間であり、維持電極 $Y_1, Y_2, \dots, Y_n$ に維持放電パルス $Pc$ と、走査電極 $X_1, X_2, \dots, X_n$ に維持放電パルス $Pc$ より180度位相の遅れた維持放電パルス $Ps$ とを交互に繰り返し印加して、書込放電期間において書込放電を行った表示セルに所望の輝度を与えるために必要な回数維持放電を繰り返す。このとき、走査電極 $X_1, X_2, \dots, X_n$ と維持電極 $Y_1, Y_2, \dots, Y_n$ との振幅を $Vs$ とすると、走査電極 $X_1, X_2, \dots, X_n$ と維持電極 $Y_1, Y_2, \dots, Y_n$ との間の電位差は、 $Vs$ に壁電荷による電圧を重ねた電圧が、放電開始電圧を超える値となるように設定される。

【0019】消去放電期間は、その後の予備放電、書込放電、および維持放電を円滑に行うために壁電荷量を調整する期間である。走査電極 $X_1, X_2, \dots, X_n$ にその電位を緩やかに下げる消去パルス $Ppe$ を印加して消去放電を発生させ、維持放電により堆積した壁電荷を消去する。ここで言う消去とは、壁電荷を全て無くすることとは限らず、続く予備放電、書込放電や維持放電を円滑に行うべく壁電荷量を調整することを含む。

【0020】また、発光させたくない表示セルは、データパルス $Pd$ を印加しない(図12ではGND電位とする)ことで、放電が発生しないようにしている。

【0021】予備放電期間から消去放電期間までの一連の動作を行うことで、PDPに所望の映像を表示させることができる。

【0022】上述した書込放電期間において、データパルス $Pd$ が全てのデータ電極に同一のタイミングで印加されるため、走査電極毎の発光電流は走査パルス $Pw$ とデータパルス $Pd$ がともに印加された直後にそろって流れる。そのため、表示画面が大きいPDPのように発光電流が大きい場合には、ドライバの出カインピーダンスやPDPの電極配線抵抗による電圧低下で、表示セルに十分な書込放電を行うための電圧特性を得ることができなくなるといった問題がある。ここで、電極配線とは、走査電極3、維持電極4、バス電極5、6、またはデータ電極7を指す。また、走査電極3、維持電極4の電極配線抵抗とは、走査電極3、維持電極4とバス電極5、6との並列抵抗である。

【0023】また、電極上には発光電流だけではなく、

駆動パルスの印加によって負荷となる電極間静電容量を充放電するための電流も流れる。PDPの精細度を上げるために画素ピッチを狭めたり、画面サイズを大きくしたりして、電極間距離が縮まったり、電極配線が長くなったりすると電極間静電容量が増し、この電流も大きな値となる。充放電電流が大きくなると、それにより発生するノイズレベルも大きくなる。このノイズは、他の信号に影響を与えて表示セルに誤った書込みを起こしたり、外部への放射ノイズの原因になり好ましくない。また、電圧降下分を補うため、各ドライバの駆動電圧を上げると、本来発光させたくない表示セルまで発光してしまうという問題が生じる。

【0024】これらの問題を解決するため、出願人は、特許第2950270号公報をすでに開示している。これは、図13に示すようにデータ電極を複数のデータ電極群に分割し（ここではデータ電極 $Da_1 \sim Da_j$ のデータ電極群とデータ電極 $Db_1 \sim Db_k$ のデータ電極群の2分割で例示する）、書込放電期間のデータパルスの位相をデータ電極群毎にずらすものである。

【0025】各電極に印加される信号は図14のような波形である。維持電極駆動パルス信号 $Wu$ は、維持電極 $Y_1, Y_2, \dots, Y_n$ に共通に印加される信号である。走査電極駆動パルス信号 $Ws_1, Ws_2, \dots, Ws_m$ は、走査電極 $X_1, X_2, \dots, X_n$ にそれぞれ印加される信号である。データ電極駆動パルス信号 $Wa$ は、データ電極 $Da_1, Da_2, \dots, Da_j$ に印加される信号であり、データ電極駆動パルス $Wb$ は、データ電極 $Db_1, Db_2, \dots, Db_k$ に印加される信号である。一周期（1フレーム）は第1のフィールドと第2のフィールドを有し、第1および第2のフィールドはそれぞれ予備放電期間と書込放電期間と維持放電期間からなる。

【0026】第1のフィールドの書込放電期間において、データ電極 $Da_1, Da_2, \dots, Da_j$ へのデータパルスは走査周期と同じパルス幅とし、データ電極 $Db_1, Db_2, \dots, Db_k$ へのデータパルスは開始タイミングを時間 $Td$ だけ遅らせてパルス幅を狭くしている。また、第2のフィールドの書込放電期間において、データ電極 $Da_1, Da_2, \dots, Da_j$ へのデータパルスは開始タイミングを時間 $Td$ だけ遅らせてパルス幅を狭くし、データ電極 $Db_1, Db_2, \dots, Db_k$ へのデータパルスは走査周期と同じパルス幅としている。

【0027】これにより、データ電極 $Da_1, Da_2, \dots, Da_j$ とデータ電極 $Db_1, Db_2, \dots, Db_k$ のデータパルスの開始タイミングをずらすことで、走査電極 $X_1, X_2, \dots, X_n$ に流れる発光電流のタイミングをずらし、発光電流のピーク値を低減している。また、必ず一つのデータ電極群には走査周期幅のデータパルスを印加するため、そのデータ電極群の走査に関して連続する表示セルが書込放電する場合は、基準電位に戻ることなくパルス出力を継続することで、電極間静電容量に蓄積さ

れた電荷が充放電しなくなるので、消費電力を低減させることができる。

【0028】また、上記した問題を解決するための他の手法として、出願人は、特許第2953342号公報に記載された方法を開示している。この手法でも、データ電極は複数のデータ電極群（ここでは第1および第2のデータ電極群の2分割で例示する）に分割される。各電極に印加される信号は図15のような波形である。維持電極駆動パルス信号 $Wu$ は、維持電極に共通に印加される信号である。走査電極駆動パルス信号 $Ws_1, Ws_2, \dots, Ws_m$ は、 $m$ 個の走査電極にそれぞれ印加される信号である。データ電極駆動パルス信号 $Wa$ は、第1のデータ電極群のデータ電極に印加される信号であり、データ電極駆動パルス信号 $Wb$ は、第2のデータ電極群のデータ電極に印加される信号である。

【0029】データ電極駆動パルス $Wa$ はパルスの開始が走査周期の切替タイミングと一致しており、終了が走査周期の切替タイミングよりも早まっている。データ電極駆動パルス $Wb$ はパルスの開始が走査周期の切替タイミングよりも遅延しており、終了が走査周期の切替タイミングと一致している。

【0030】これにより、走査電極に流れる発光電流のタイミングを第1および第2のデータ電極群でずらし、発光電流のピーク値を低減している。

【0031】

【発明が解決しようとする課題】近年、環境問題が注目されており、あらゆる電子機器において低消費電力化が強く求められている。PDPは、電極に印加する電圧が数百Vと高電圧であることと、画素数が多いので、僅かな電流増減であっても、PDP全体では大きな電流増減につながる。また、電流の増大はPDP自体の発熱をもたらす、この発熱はPDPの寿命を低下させることが知られている。このため、PDPにおいて、いかにして消費電力を低減するかが重要な課題となっている。

【0032】また、上述の公報の他に、一方のデータ電極群だけデータパルスの開始タイミングを遅らせ、かつ、終了タイミングを早める手法も考えられるが、データパルス幅、すなわち、書込パルス幅が短くなるので壁電荷が十分に形成されない場合が生じる。そのため維持放電に移行しにくく、発光すべき表示セルが不点灯になってしまうことがある。

【0033】本発明の目的は、各電極電流のピーク値を更に下げてノイズを低減させ、かつ、消費電力を低減させ、かつ、安定した駆動電圧を得るプラズマディスプレイ装置を提供することである。

【0034】

【課題を解決するための手段】上記目的を達成するために、本発明の方法は、複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極に所望のデータパルスが印加されることにより、前記走

査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイパネルの駆動方法であって、前記データ電極を複数のデータ電極群に分割し、連なる複数のデータパルスからなり、最初のデータパルスの開始タイミングを予め決められた時間だけ遅らせ、最後のデータパルスの終了タイミングを予め決められた時間だけ早めたデータパルス列を、前記データ電極群毎に異なる位相で前記データ電極に印加することを特徴としている。

【0035】データパルスの開始タイミングおよび終了タイミングをデータ電極群単位にずらしているため、駆動パルスの変化に伴う電極間静電容量を充放電するための充放電電流、および放電に伴う発光電流の重畳が緩和され、電流のピーク値が低減される。

【0036】また、データ電極にデータパルス列を連続的に出力することで、連続するデータパルスが表示セルに書き込みを行うような表示データの場合に、データパルス間で基準電位に戻る必要が無いため、電極静電容量に対する充放電電流が流れない。

【0037】本発明のプラズマディスプレイ装置は、複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極に所望のデータパルスが印加されることにより、前記走査電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイ装置において、前記データ電極は複数のデータ電極群に分割されており、連なる複数のパルスからなり、最初のパルスの開始タイミングを予め決められた時間だけ遅らせ、最後のパルスの終了タイミングを予め決められた時間だけ早めたパルス列を、データ電極群毎に異なる位相で出力するデータパルス位相制御回路と、前記データ電極群ごとに設けられ、前記データパルス位相制御回路から出力されるパルス列に同期して表示データを前記データ電極に出力するデータドライバとを有している。

【0038】本発明の実施態様によれば、前記最初のデータパルスの開始タイミングを遅らせる時間は、発光電流がピークとなるタイミングと、データ電極電流がピークとなるタイミングとがずれるように予め決められている。

【0039】また、本発明の実施態様によれば、前記データ電極群の数と、前記データパルス列を構成するデータパルスの数が同数である。

【0040】さらに、本発明の実施態様によれば、前記最初のデータパルスの開始タイミングを遅らせる時間が全ての前記データ電極で同一であり、前記最後のデータパルスの終了タイミングを早める時間が全ての前記データ電極で同一である。

【0041】さらに、本発明の実施態様によれば、前記遅らせる時間と前記早める時間とが同一である。

【0042】本発明の他のプラズマディスプレイパネル

の駆動方法は、複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極がK個のデータ電極群に分割され、前記データ電極に所望のデータパルスが印加されることにより前記走査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイパネルの駆動方法であって、所定のパルス幅で前記複数の走査電極に走査信号を順次印加し、前記走査信号の変化点をまたがるようなマスク信号を生成し、K個のデータパルス毎に1度前記データパルスを前記マスク信号でマスクするとともに、前記データ電極群毎に前記走査信号の1パルス幅づつずれたマスク信号でマスクすることを特徴としている。

【0043】また、本発明の他のプラズマディスプレイ装置は、複数の走査電極と複数のデータ電極とが互いに交差するように配置され、前記データ電極がK個のデータ電極群に分割され、前記データ電極に所望のデータパルスが印加されることにより前記走査電極と前記データ電極との交点にて放電が発生し、該放電により画面表示が行われるプラズマディスプレイ装置において、所定のパルス幅で前記複数の走査電極に走査信号を順次印加する走査ドライバと、K個のデータパルス毎に1度前記データパルスをマスクする、前記走査信号の変化点をまたがるようなマスク信号を、前記データ電極群毎に前記走査信号の1パルス幅づつずらして生成し出力するデータパルス位相制御回路と、前記データ電極群毎に設けられ、前記マスク信号で前記データパルスをマスクするデータドライバとを有している。

【0044】

【発明の実施の形態】次に本発明の実施の形態について、図面を参照して詳細に説明する。

【0045】図1を参照すると、本発明の一実施形態のプラズマディスプレイ装置は、プラズマディスプレイパネル15と制御回路40と走査ドライバ21と維持ドライバ22とデータパルス位相制御回路30とデータドライバ20<sub>1</sub>、20<sub>2</sub>を有している。

【0046】プラズマディスプレイパネル15は、図13に示した従来のプラズマディスプレイパネルと同様に、互いに平行に水平方向に配置された走査電極X<sub>1</sub>、X<sub>2</sub>、・・・、X<sub>n</sub>と、互いに平行に水平方向に配置された走査電極X<sub>1</sub>、X<sub>2</sub>、・・・、X<sub>n</sub>とそれぞれ対をなす維持電極Y<sub>1</sub>、Y<sub>2</sub>、・・・、Y<sub>n</sub>と、互いに平行に垂直方向に配置されたデータ電極Da<sub>1</sub>、Da<sub>2</sub>、・・・、Da<sub>j</sub>、Db<sub>1</sub>、Db<sub>2</sub>、・・・、Db<sub>k</sub>を有しており、データ電極Da<sub>1</sub>、Da<sub>2</sub>、・・・、Da<sub>j</sub>とデータ電極Db<sub>1</sub>、Db<sub>2</sub>、・・・、Db<sub>k</sub>はそれぞれデータ電極群を構成している。マトリクス状に配列された各表示セルでは、走査電極Xおよび維持電極Yとデータ電極Da、Dbが交差している。

【0047】制御回路40は、信号処理メモリ制御回路

41とドライバ制御回路42とフレームメモリ43を有している。フレームメモリ43は、フレームのデータを一時的に格納するためのメモリである。ドライバ制御回路42は、走査ドライバ21および維持ドライバ22の動作を制御する。

【0048】信号処理メモリ制御回路41には、表示動作の基準クロックとなるクロック信号Clockと、フレームの開始点を示す信号である垂直同期信号Vsyncと、水平走査ラインの開始点を示す水平同期信号Hsyncと、画面に表示するデータを通知する表示データ信号DATAが入力している。そして、信号処理メモリ制御回路41は、フレームメモリ43への表示データの書込み/読み出しを行い、ドライバ制御回路42に走査のための制御を行い、データパルス位相制御回路30にデータパルスの出力タイミングを生成するための走査基準信号と内部クロック信号を出力し、データドライバ20<sub>1</sub>、20<sub>2</sub>に表示データを出力する。

【0049】走査ドライバ21は走査電極X<sub>1</sub>、X<sub>2</sub>、…、X<sub>n</sub>に印加する走査電極駆動パルス信号を出力する。維持ドライバ22は維持電極Y<sub>1</sub>、Y<sub>2</sub>、…、Y<sub>n</sub>に印加する維持電極駆動パルス信号を出力する。データドライバ20<sub>1</sub>はデータ電極Da<sub>1</sub>、Da<sub>2</sub>、…、Da<sub>j</sub>に、データドライバ20<sub>2</sub>はデータ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>にそれぞれ印加するデータ電極駆動パルス信号を出力する。

【0050】図2は、プラズマディスプレイ装置の動作を説明するためのタイミングチャートであり、図12に示すタイミングチャートのうち、書込放電期間の部分を拡大表示したものである。走査電極駆動パルス信号Ws<sub>1</sub>、Ws<sub>2</sub>、Ws<sub>3</sub>、Ws<sub>4</sub>は走査電極X<sub>1</sub>、X<sub>2</sub>、X<sub>3</sub>、X<sub>4</sub>に印加すべき信号であり、データ電極駆動パルス信号Wd<sub>1</sub>およびWd<sub>2</sub>はデータ電極Da<sub>1</sub>、Da<sub>2</sub>、…、Da<sub>j</sub>およびデータ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>にそれぞれ印加すべき信号である。なお、図面中のデータ電極駆動パルス信号Wd<sub>1</sub>、Wd<sub>2</sub>で、パルス波形に斜めのせんを付したものは、データ電極駆動パルス信号Wd<sub>1</sub>、Wd<sub>2</sub>が、表示データDATAに応じてHレベルまたはLレベルのいずれかの状態をとりうることを意味している。

【0051】図2に示すように、データパルス位相制御回路30は、走査基準信号および内部クロック信号に基づいて、データ電極Da<sub>1</sub>、Da<sub>2</sub>、…、Da<sub>j</sub>およびデータ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>にデータを出力するためのタイミング信号S<sub>1</sub>、S<sub>2</sub>を、データドライバ20<sub>1</sub>、20<sub>2</sub>にそれぞれ出力する。タイミング信号S<sub>1</sub>、S<sub>2</sub>の波形は、開始タイミングを遅らせたパルスと終了タイミングを早めたパルスからなるパルス列の繰り返しであり、その位相は、データドライバ毎に異なっている。

【0052】データドライバ20<sub>1</sub>は、タイミング信号S<sub>1</sub>がHレベルのタイミングで、データ電極Da<sub>1</sub>、Da

2、…、Da<sub>j</sub>に表示データを出力し、データドライバ20<sub>2</sub>は、タイミング信号S<sub>2</sub>がHレベルのタイミングで、データ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>に表示データを出力する。

【0053】また、データドライバ20<sub>1</sub>は、タイミング信号S<sub>1</sub>がLレベルの期間に、データ電極Da<sub>1</sub>、Da<sub>2</sub>、…、Da<sub>j</sub>に表示データを出力しないようにマスクし、データドライバ20<sub>2</sub>は、タイミング信号S<sub>2</sub>がLレベルの期間に、データ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>に表示データを出力しないようにマスクする信号と見ることでもある。

【0054】このタイミング信号S<sub>1</sub>、S<sub>2</sub>がLレベルの期間は、走査電極駆動パルス信号Ws<sub>1</sub>、Ws<sub>2</sub>、Ws<sub>3</sub>、Ws<sub>4</sub>が、変化する点をまたぐような期間に相当し、変化点よりPd<sub>2</sub>だけ早くLレベルになり、変化点よりもPd<sub>1</sub>だけ遅くHレベルになる。すなわち、タイミング信号S<sub>1</sub>、S<sub>2</sub>がLレベルの期間はPd<sub>1</sub>+Pd<sub>2</sub>の期間になる。

【0055】このように、本実施形態では、データパルスの終了タイミングを各データ電極群でずらすことで、さらにノイズレベルを低減させることができる。これと動じに、データパルスをデータ電極群の数（ここでは2個で例示）だけ連続させることで、終了タイミングでいったん基準電位に戻ることにによる充放電電流が発生しなくなり、更に消費電力を低減できる。

【0056】本発明のプラズマディスプレイ装置は、従来の交流放電メモリ動作型プラズマディスプレイ装置に対して、書込放電期間のデータ電極駆動パルスを改善することで、各電極電流のピーク値を下げてノイズを低減させ、かつ、消費電力を低減させるものである。

【0057】図3に示すように、本実施形態のプラズマディスプレイは書込放電期間において、走査電極X<sub>1</sub>、X<sub>2</sub>、X<sub>3</sub>、X<sub>4</sub>に走査電極駆動パルス信号Ws<sub>1</sub>、Ws<sub>2</sub>、Ws<sub>3</sub>、Ws<sub>4</sub>が印加される。走査電極駆動パルス信号Ws<sub>1</sub>、Ws<sub>2</sub>、Ws<sub>3</sub>、Ws<sub>4</sub>は走査電極X<sub>1</sub>、X<sub>2</sub>、X<sub>3</sub>、X<sub>4</sub>に走査周期のパルスPwを順次与えている。データ電極Da<sub>1</sub>、Da<sub>2</sub>、…、Da<sub>j</sub>にデータ電極駆動パルス信号Wd<sub>1</sub>が、データ電極Db<sub>1</sub>、Db<sub>2</sub>、…、Db<sub>k</sub>にデータ電極駆動パルス信号Wd<sub>2</sub>がそれぞれ印加される。データ電極パルス信号Wd<sub>1</sub>、Wd<sub>2</sub>には、開始タイミングが走査周期よりも時間Td<sub>2</sub>だけ遅れ、終了タイミングが走査周期と一致したパルスPd<sub>1</sub>と、開始タイミングが走査周期と一致しており、終了タイミングが走査周期から時間Td<sub>1</sub>だけ早められたデータパルスPd<sub>2</sub>が交互に出力されている。そして、データ電極駆動パルス信号Wd<sub>1</sub>とデータ電極駆動パルス信号Wd<sub>2</sub>とは、それらのパルスが逆位相で出力されている。したがって、データパルスの開始タイミングおよび終了タイミングは、データ電極群毎に異なっており、また、2つのデータパルス毎に、あるデータパルスの終

了タイミングと次のデータパルスの開始タイミングが一致している。このとき、書き込み放電に寄与する有効なデータパルス幅は、データパルス $Pd_1$ では走査周期から時間 $Td_2$ だけ引いた値であり、データパルス $Pd_2$ では走査周期から時間 $Td_1$ だけ引いた値であり、データを表示セルに書き込むのに十分な放電期間を確保することができる。

【0058】データパルスの開始タイミングおよび終了タイミングを各データ電極群ごとにずらしているため、データ電極電流 $Id_1$ 、 $Id_2$ において、駆動パルスの変化に伴う電極間静電容量に対する充放電電流 $Ipd_1$ および書き込みに伴う発光電流 $Ipd_2$ は流れるタイミングがデータ電極群毎に異なる。したがって、走査電極電流 $Is_1$ 、 $Is_2$ 、 $Is_3$ 、 $Is_4$ において、駆動パルスの変化に伴う電極間静電容量に対する充放電電流 $Ips_1$ および書き込みに伴う発光電流 $Ips_2$ はデータ電極群毎に異なるタイミングで流れる。これにより、データパルスの開始タイミングおよび終了タイミングでの、各電極電流のピーク値が低減され、発生するノイズを低減させることができる。

【0059】また、2つのデータパルス毎にあるデータパルスの終了タイミングと次のデータパルスの開始タイミングを一致させることで、その2つのデータパルスが表示セルに書き込みを行うような表示データの場合に、2つのデータパルス間で基準電位に戻る必要が無いため、電極静電容量に対する充放電電流が流れず消費電力を低減させることができる。

【0060】なお、図3のデータ電極電流 $Id_1$ 、 $Id_2$ および走査電極電流 $Is_1$ 、 $Is_2$ 、 $Is_3$ 、 $Is_4$ の波形は、図示した期間で全てのデータパルスが発生した場合の波形である。表示データのパターンによってはデータパルスが連続せず、(a)や(b)のタイミングで電極間静電容量に対する充放電電流が流れるが、データ電極群毎に終了タイミング、開始タイミングがずれているので、ピーク値は低減されている。

【0061】図4は、データドライバ20の一構成例を示す回路図である。この構成例によれば、データドライバ20は、タイミング信号 $S1$ または $S2$ と表示データが入力されたNAND素子201と、ゲートにNAND素子201の出力が接続されソースに電源電圧が入力されたPチャネルFET202と、ゲートにNAND素子201の出力が接続されドレインが接地されたNチャネルFET203を有している。そして、PチャネルFET202のソースとNチャネルFET203のドレインが共通接続されてデータ電極駆動パルス信号 $Wd_1$ または $Wd_2$ を出力している。

【0062】図5はデータドライバ20の他の構成例を示す回路図であり、図6は図5の回路の動作を示すタイミングチャートである。この構成例によれば、データドライバ20は、タイミング信号 $S1$ または $S2$ を入力と

してタイミング信号と立上り、立下りのタイミングが一致しており、データパルスとしてデータ電極に印加すべき振幅 $Vd$ を有する基本データパルス信号を出力する基本データパルス発生回路205と、インバータ208を介してゲートに表示データが入力されソースに基本データパルス信号が入力されたPチャネルFET206と、ゲートに表示データが入力されソースが接地されたNチャネルFET207を有している。そして、PチャネルFET206のドレインとNチャネルFET207のドレインが共通接続されてデータ電極駆動パルス信号 $Wd_1$ または $Wd_2$ を出力している。ここで、発光させたいデータ電極には、データ電極駆動パルス信号 $Wd_1$ 、 $Wd_2$ としてHレベル（図6では $Vd$ ）を出力し、発光させない場合にはLレベル（図6では0V）を出力する。

【0063】本発明の他の実施形態のプラズマディスプレイ装置は、データ電極が3つのデータ電極群に分割されており、データ電極群にそれぞれデータ電極駆動パルス信号を出力する3つのデータドライバを有する構成である。

【0064】図7を参照すると、本発明の他の実施形態のプラズマディスプレイパネル17は、互いに平行に水平方向に配置された走査電極 $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_n$ と、互いに平行に水平方向に配置された走査電極 $X_1$ 、 $X_2$ 、 $\dots$ 、 $X_n$ とそれぞれ対をなす維持電極 $Y_1$ 、 $Y_2$ 、 $\dots$ 、 $Y_n$ を有している。そして、データ電極は、データ電極 $Da_1$ 、 $Da_2$ 、 $\dots$ 、 $Da_n$ からなるデータ電極群と、データ電極 $Db_1$ 、 $Db_2$ 、 $\dots$ 、 $Db_n$ からなるデータ電極群と、データ電極 $Dc_1$ 、 $Dc_2$ 、 $\dots$ 、 $Dc_n$ からなるデータ電極群とに3分割されている。

【0065】図8に示すように、書込放電期間において、走査電極 $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$ に走査電極駆動パルス信号 $Ws_1$ 、 $Ws_2$ 、 $Ws_3$ 、 $Ws_4$ が印加される。なお、図8のタイミングチャートは、M個の走査電極駆動パルス信号 $Ws_1$ 、 $Ws_2$ 、 $\dots$ 、 $Ws_n$ のうち、4個分（ $Ws_1 \sim Ws_4$ ）を時間的に拡大して表示したものである。走査電極駆動パルス信号 $Ws_1$ 、 $Ws_2$ 、 $Ws_3$ 、 $Ws_4$ は走査電極 $X_1$ 、 $X_2$ 、 $X_3$ 、 $X_4$ に走査周期のパルス $Pw$ を順次与えている。データ電極 $Da_1$ 、 $Da_2$ 、 $\dots$ 、 $Da_n$ にデータ電極駆動パルス信号 $Wd_1$ が、データ電極 $Db_1$ 、 $Db_2$ 、 $\dots$ 、 $Db_n$ にデータ電極駆動パルス信号 $Wd_2$ が、データ電極 $Dc_1$ 、 $Dc_2$ 、 $\dots$ 、 $Dc_n$ にデータ電極駆動パルス信号 $Wd_3$ がそれぞれ印加される。データ電極パルス信号 $Wd_1$ 、 $Wd_2$ 、 $Wd_3$ には、開始タイミングが走査周期の切替タイミングよりも時間 $Td_2$ だけ遅れ、終了タイミングが走査周期の切替タイミングと一致したパルスと、開始タイミング、終了タイミングともに走査周期の切替タイミングと一致したパルスと、開始タイミングが走査周期の切替タイミングと一致しており、終了タイミングが走査周期の切替タイ



ミングから時間 $T_{d1}$ だけ早められたパルスが順次出力されている。そして、データ電極駆動パルス信号 $W_{d1}$ と $W_{d2}$ と $W_{d3}$ では、それらのパルスの位相が $1/3$ 周期づつ順次ずれて出力されている。

【0066】本実施形態によれば、データパルスの開始タイミングおよび終了タイミングを3つのデータ電極群のうち少なくとも1つをずらしているため、データ電極電流 $I_{d1}$ 、 $I_{d2}$ 、 $I_{d3}$ において、駆動パルスの変化に伴う電極間静電容量に対する充放電電流 $I_{pd1}$ および書き込みに伴う発光電流 $I_{pd2}$ 、 $I_{pd3}$ は流れるタイミングが少なくとも1つのデータ電極群で異なる。言い換えれば、発光電流 $I_{pd2}$ 、 $I_{pd3}$ がピークになるタイミングと、データ電極電流 $I_{d1}$ がピークになるタイミングがずれるように時間 $T_{d2}$ を設定している。

【0067】したがって、走査電極電流 $I_{s1}$ 、 $I_{s2}$ 、 $I_{s3}$ 、 $I_{s4}$ において、駆動パルスの変化に伴う電極間静電容量に対する充放電電流 $I_{ps1}$ および書き込みに伴う発光電流 $I_{ps2}$ は少なくとも1つのデータ電極群で異なるタイミングで流れる。これにより、データパルスの開始タイミングおよび終了タイミングでの、各電極電流のピーク値が低減され、発生するノイズを低減できる。

【0068】また、3つの連続したデータパルスのうち2個所でデータパルスの終了タイミングと次のデータパルスの開始タイミングを一致させることで、その3つのデータパルスが表示セルに書き込みを行うような表示データの場合に、2個所のデータパルス間で基準電位（図8では0V）に戻る必要がないため、電極間静電容量に対する充放電電流が流れず消費電流を低減させることができる。

【0069】なお、図8のデータ電極電流 $I_{d1}$ 、 $I_{d2}$ 、 $I_{d3}$ および走査電極電流 $I_{s1}$ 、 $I_{s2}$ 、 $I_{s3}$ 、 $I_{s4}$ の波形は、図示した期間で全てのデータパルスが発生した場合の波形である。表示データのパターンによってはデータパルスが連続せず、(c)や(d)、(e)のタイミングで電極間静電容量に対する充放電電流が流れるが、少なくとも1つのデータ電極群で開始タイミングおよび終了タイミングがずれているため、ピーク値は低減されている。

【0070】なお、データ電極の分割方法は、例示した実施形態に限られるものではない。他の分割方法として、隣接するデータ電極を異なるデータ電極群に含めてもよく、また、複数のデータ電極を単位として短冊状に分割してもよい。

【0071】

【発明の効果】以上説明したように本発明によると、データパルスの開始タイミングおよび終了タイミングをデータ電極群単位にずらしているため、駆動パルスの変化に伴う電極間静電容量を充放電するための充放電電流、および放電に伴う発光電流の重畳が緩和され、電流のピーク値が下がりノイズが低減される。

【0072】また、データ電極にデータパルス列を連続的に出力することで、連続するデータパルスが表示セルに書き込みを行うような表示データの場合に、データパルス毎に基準電位に戻る必要がないため、電極静電容量に対する充放電電流が流れず消費電力が低減される。

【図面の簡単な説明】

【図1】本発明の一実施形態のプラズマディスプレイ装置の構成を示すブロック図である。

【図2】プラズマディスプレイ装置の動作を説明するためのタイミングチャートである。

【図3】本発明の実施形態の走査電極、データ電極に印加される信号と、各電極電流を示すタイミングチャートである。

【図4】データドライバの一構成例を示す回路図である。

【図5】データドライバの他の構成例を示す回路図である。

【図6】図5の回路の動作を示すタイミングチャートである。

【図7】本発明の他の実施形態のプラズマディスプレイパネルの構成を示すブロック図である。

【図8】本発明の他の実施形態の走査電極、データ電極に印加される信号と、各電極電流を示すタイミングチャートである。

【図9】交流放電メモリ動作型PDPにおける表示セルの構成を例示する斜視断面図である。

【図10】図8に示した交流放電メモリ動作型PDPにおける一つの表示セルの垂直断面図である。

【図11】図9に示した表示セルをマトリクス配置して形成したPDPの概略の構成と制御回路、走査ドライバ、維持ドライバ、およびデータドライバを示したブロック図である。

【図12】走査ドライバ、維持ドライバ、データドライバの出力波形を示すタイミングチャートである。

【図13】データ電極を2つのデータ電極群に分割したPDPの概略の構成を示すブロック図である。

【図14】特許第2950270号公報に記載された従来のPDPにおける、各電極に印加される信号の波形を示すタイミングチャートである。

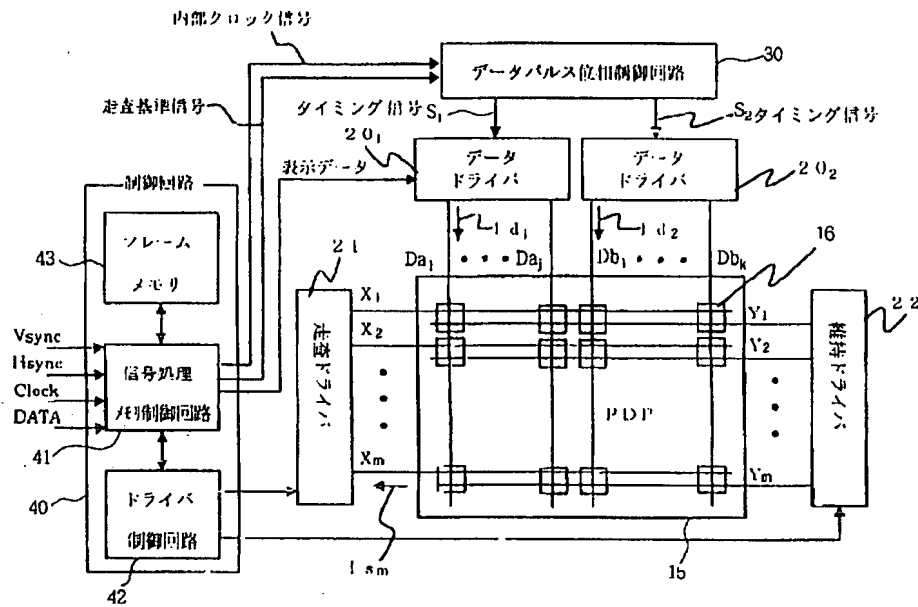
【図15】特許第2953342号公報に記載された従来のPDPにおける、各電極に印加される信号の波形を示すタイミングチャートである。

【符号の説明】

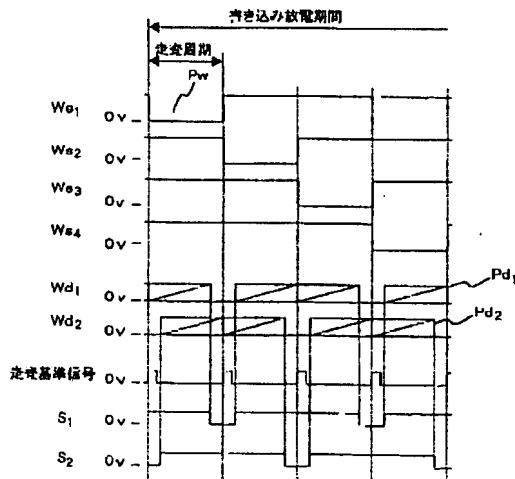
- 1、2 絶縁基板
- 3 走査電極
- 4 維持電極
- 5、6 バス電極
- 7 データ電極
- 8 放電ガス空間
- 9 隔壁

- |                                  |               |  |              |
|----------------------------------|---------------|--|--------------|
| 10                               | 可視光           | 41   | 信号処理メモリ制御回路  |
| 11                               | 蛍光体           | 42   | ドライバ制御回路     |
| 12、14                            | 誘電体層          | 201  | NAND素子       |
| 13                               | 保護層           | 202、206  | PチャネルFET     |
| 15、17                            | プラズマディスプレイパネル | 203、207  | NチャネルFET     |
| 16                               | 表示セル          | 205  | 基本データパルス発生回路 |
| 20 <sub>1</sub> 、20 <sub>2</sub> | データドライバ       | 208  | インバータ        |
| 21                               | 走査ドライバ        | Da <sub>1</sub> ~Da <sub>n</sub> 、Db <sub>1</sub> ~Db <sub>n</sub> 、Dc <sub>1</sub> ~Dc <sub>n</sub> | データ電極        |
| 22                               | 維持ドライバ        | X <sub>1</sub> ~X <sub>n</sub>   | 走査電極         |
| 30                               | データパルス位相制御回路  | Y <sub>1</sub> ~Y <sub>n</sub>   | 維持電極         |
| 40                               | 制御回路          |  |              |

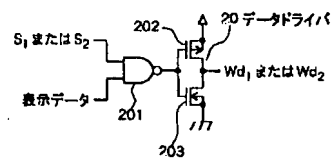
【図1】



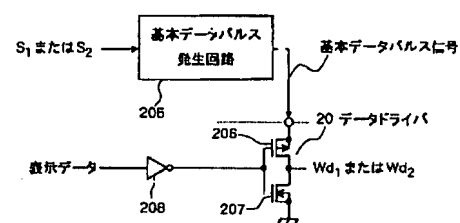
【図2】



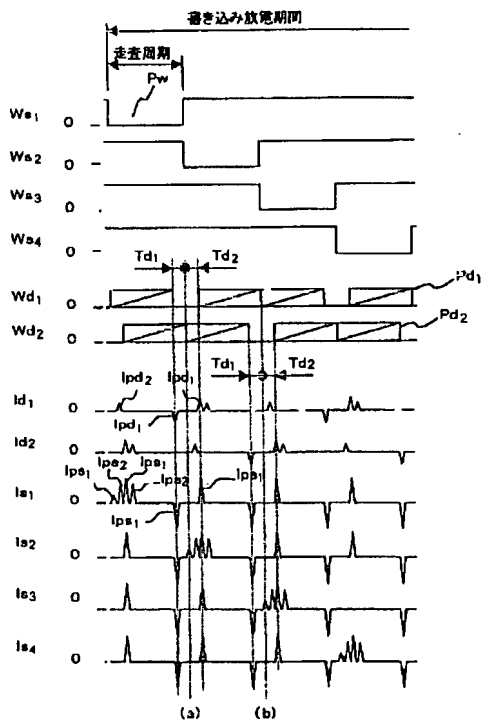
【図4】



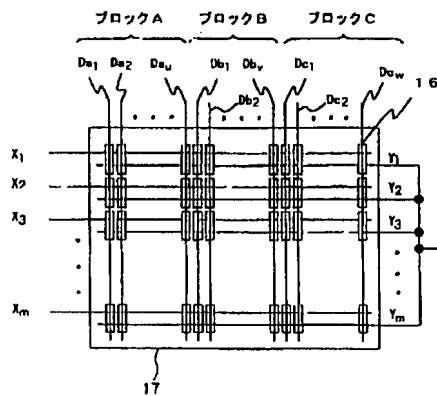
【図5】



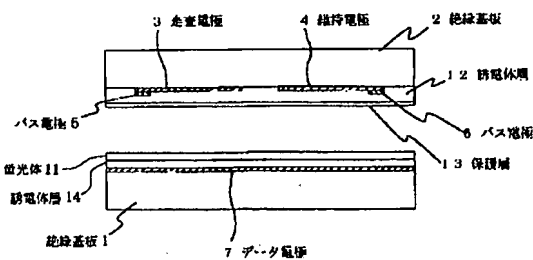
【図3】



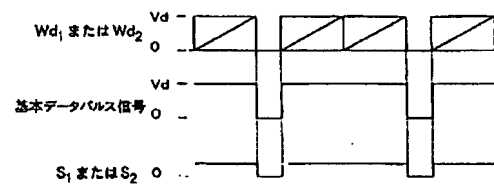
【図7】



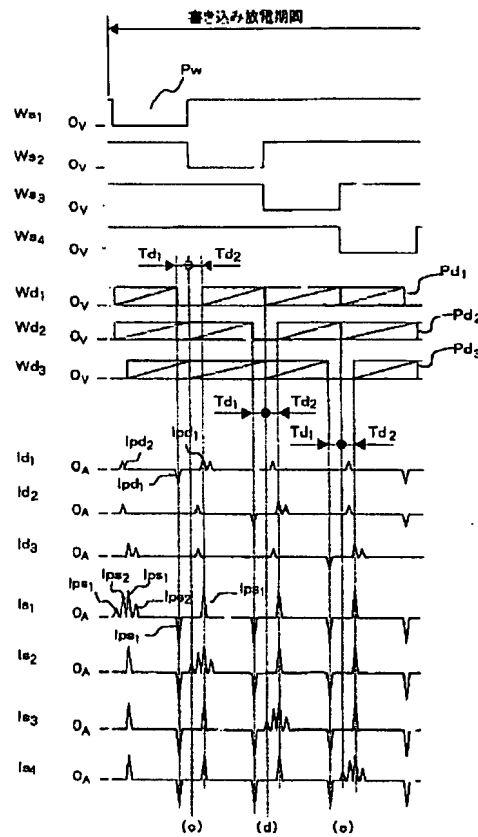
【図10】



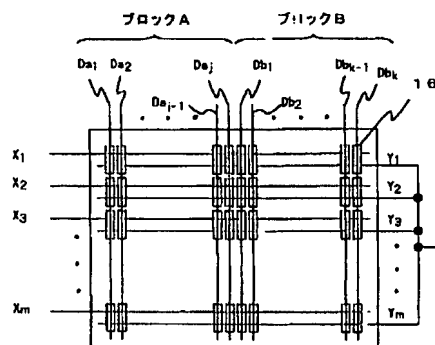
【図6】



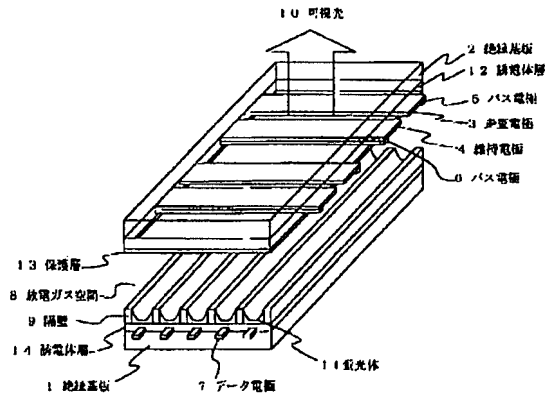
【図8】



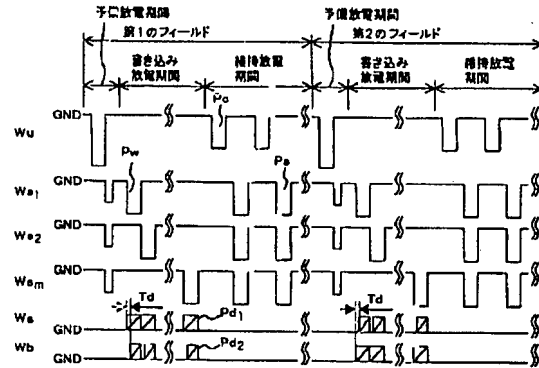
【図13】



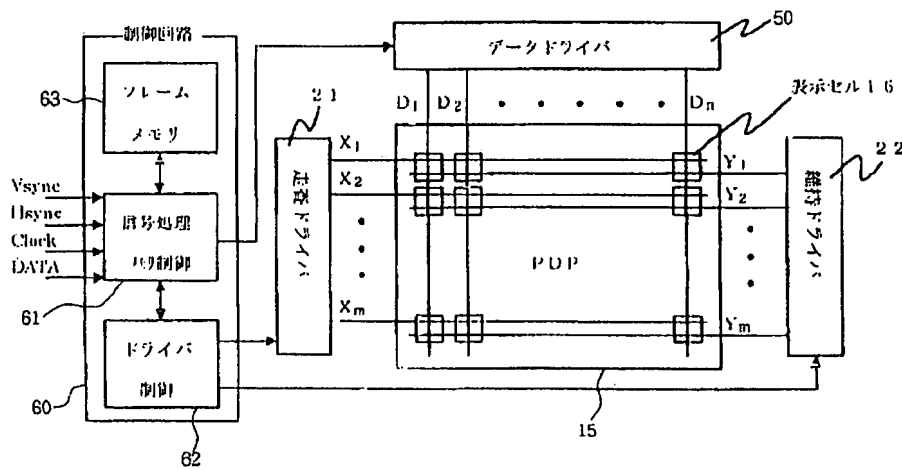
【図9】



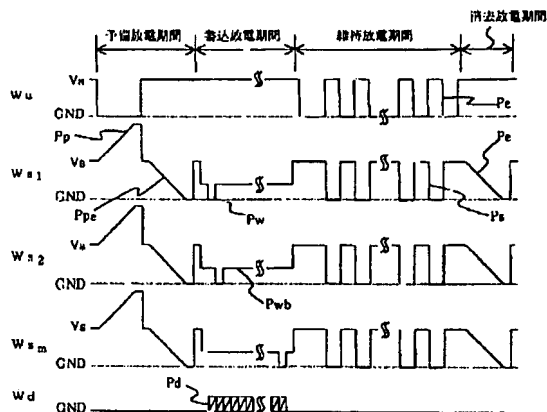
【図14】



【図11】



【図12】



【図15】

